

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-320282

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
G 1 1 C 16/06 G 1 1 C 17/00 5 3 0 B

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21)出願番号 特願平8-131913

(22)出願日 平成8年(1996)5月27日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 平野 恭章

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

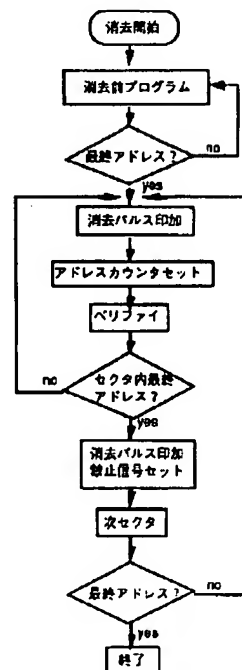
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 不揮発性半導体記憶装置の消去制御方法

(57)【要約】

【課題】 レイアウト面積を増加させることなく、閾値分布をタイトにできる不揮発性半導体記憶装置の消去制御方法の提供。

【解決手段】 消去が終了したと判断したセクタへのワード線消去電圧印加を禁止する。



【特許請求の範囲】

【請求項1】 フローティングゲート型MOSトランジスタがマトリクス状に配列され、同一行のトランジスタのコントロールゲートが共通接続されて、ワード線を構成し、同一列のトランジスタのドレインが共通接続されて、ビット線を構成し、すべてのトランジスタのソースが共通接続されたメモリセルアレイを有し、消去時には、上記ワード線に所定の第1電圧を印加し、上記共通接続されたソースに所定の第2電圧を印加して一括消去を行う構成の不揮発性半導体記憶装置の消去制御方法において、

上記ワード線に上記所定の第1電圧を印加し、上記共通接続されたソースに上記所定の第2電圧を印加して、全消去動作を実行した後、各メモリセルトランジスタの閾値電圧が所定値より低くなったか否かを判定し、接続されるすべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなったワード線、又はワード線群については、上記所定の第1電圧の印加を禁止し、それ以外のワード線又はワード線群に上記所定の第1電圧を印加すると共に、上記共通接続されたソースに上記所定の第2電圧を印加して、部分消去を実行し、その後、各メモリセルトランジスタの閾値電圧が所定値より低くなったか否かを判定し、すべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなるまで、上記部分消去動作と判定動作とを実行することを特徴とする、不揮発性半導体記憶装置の消去制御方法。

【請求項2】 接続されるすべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなったワード線又はワード線群については、消去禁止電圧を印加することを特徴とする、請求項1に記載の不揮発性半導体記憶装置の消去制御方法。

【請求項3】 接続されるすべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなったワード線又はワード線群に印加される上記消去禁止電圧が、上記共通接続されたソースに印加される上記所定の第2電圧と同一極性の電圧であることを特徴とする、請求項2に記載の不揮発性半導体記憶装置の消去制御方法。

【請求項4】 接続されるすべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなったワード線又はワード線群に印加される上記消去禁止電圧が、上記共通接続されたソースに印加される上記所定の第2電圧と同一の電圧であることを特徴とする、請求項2に記載の不揮発性半導体記憶装置の消去制御方法。

【請求項5】 上記所定の第1電圧が所定の負電圧であり、上記所定の第2電圧が所定の正電圧であることを特徴とする、請求項1、2、3または4に記載の、不揮発性半導体記憶装置の消去制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フローティングゲ

ートを備え電氣的に書き換え可能な不揮発性半導体記憶装置に関する。特に、消去時の消去パルス印加方法に関するものである。

【0002】

【従来の技術】フラッシュ型EEPROMにおいてETOX（米国インテル社登録商標）型メモリセルが知られている。

【0003】このETOX型セルは、図2に示すように、半導体基板21内にソース22及びドレイン23が形成されており、このソース・ドレインは半導体基板と逆の極性を有する。また、このソース・ドレイン間上にはゲート絶縁膜24、さらに、その上にはフローティングゲート25、層間絶縁膜26、コントロールゲート27が形成されている。

【0004】このETOX型セルの動作原理は、データ書き込み（プログラム）時には、ソース電圧 V_s として通常低電圧（例えば0V）が与えられ、ドレインには V_d （例えば6V）、コントロールゲートには高電圧 V_{pp} （例えば12V）が印加される。この時、ドレイン・ソース間にはホットエレクトロンとホットホールが発生する。ホットホールは基板電流として基板に流れ込む。一方、ホットエレクトロンはフローティングゲートに注入され、トランジスタのコントロールゲートからみた閾値電圧が上昇する。

【0005】また、読み出し時には、ソース電圧を低電圧（例えば0V）、ドレイン電圧をソース電圧より少し高い電圧（例えば1V）、コントロールゲートに5Vを印加する。この時、書き込みセルと非書き込みセルでは、閾値が異なることからソース・ドレイン間に流れ込む電流が異なる。これをセンスして、ある一定電流より電流が大きい場合“1”（消去したセル）、小さい場合“0”（書き込まれたセル）としている。

【0006】消去時には、ソースに高電圧 V_{pp} （例えば12V）、コントロールゲートに低電圧（例えば0V）が与えられ、さらに、ドレインがフローティング状態に保たれている。これにより、フローティングゲート・ソース間にトンネル酸化膜を介してファウラーノルドハイム電流が流れ、フローティングゲートから電子が抜き取られる。

【0007】このような動作原理により書き込みおよび消去するセルが所定の閾値以上もしくは以下になっているかを確認するためにベリファイを行う。書き込みベリファイは、閾値（ V_{thp} ）の高い（例えば5.3V）セル（リファレンスセル）と比較し、これ以上の閾値となった場合、書き込みセルと判断している。一方、消去ベリファイは、閾値（ V_{the} ）が低い（例えば3.1V）セル（リファレンスセル）と比較して、これ以下の閾値となった場合、消去セルと判断している。

【0008】このようなフラッシュメモリにおいて従来例に用いるソース共通型のメモリアレイ部の構成図を図

3に示す。ワードデコーダ31にはアドレス信号A6～A16が入力され、コラムデコーダ32にはデータ(D0～D7)、アドレス信号A0～A5、さらに、消去回路33には消去信号Eが入力されている。このチップは、m本(例えばm=2048)のワード線WL₁, ..., WL_mを有し、このワード線1本あたりn個(例えばn=512)のメモリセルMCのコントロールゲートがつながっている。つまり、n本のビット線BL₁, ..., BL_nを有している。従って、このメモリのメモリ容量はm×n個(例えば1MB)である。また、このメモリアレイのソースは共通であり、共通ソース線SLは消去回路33に接続されている。

【0009】書き込み時は、データの内容により、選択されたメモリセルに書き込みたいセル、つまり、データが“0”のものはビット線をV_dとし、書き込みたくないセル、つまり、データが“1”のものはビット線をV_{ss}とする。選択されたワード線にはV_{pp}が印加され、セルには所望のデータが書き込まれる。

【0010】読み出し時は、書き込み時と同様にワード線が選択され、V_{cc}、ビット線には1V程度の電圧がそれぞれ印加される。セルに流れる電流によりセンスアンプで“1”、“0”を判定し、1/Oからデータが読み出される。

【0011】消去時は、消去信号が消去回路に入力され、図3に示すようにアレイ状に配置されたメモリセルトランジスタのソースにV_{pp}が印加され、全セル同時に消去することが出来る。

【0012】上記動作原理およびメモリの構成を有するフラッシュメモリの消去時のシーケンスについて述べる。図4に一般的な消去シーケンスを示す。消去が開始され、まず、過剰消去を防止するためにすべてのセルを書き込み状態にする。次に、消去パルスが印加されて消去ベリファイが行われる。ベリファイの方法は、先頭アドレスのものをを行い、そのセルの閾値が消去状態でないと判断されれば、再び消去パルスを印加する。このとき、必然的に全セルが選択されている。消去状態であると判断されれば、次のアドレスセルをベリファイする。これを最終アドレスに到達するまで繰り返す。

【0013】通常、チップ内のメモリセルの特性にばらつきがあり、消去後のセルの閾値にばらつきが生じる。図5に、消去後のメモリアレイのセルの閾値の分布の一例を示す。図5から分かるように、消去後に、メモリセルの閾値は、ある一定の値ではなく、V_{thmin}からV_{thmax}の値をもつ。仮に消去パルスをさらに印加すると、図6に示すようにV_{thmin}の値は0V以下になる。これが過剰消去である。

【0014】図3に示したNOR型のメモリアレイ構成方式をとる場合、過剰消去つまりV_{th}<0となったセルでは、ワード線電圧=0Vにおいても、セルトランジスタはオンし、そのセルが存在するビット線につながる

セルのデータは全て“1”と判断されることになり、データの読み出しは正常に行えない。従って、セルの閾値は0<V_{th}<V_{thc}の範囲でなければならない。

【0015】このような過剰消去を防止するために、通常、消去用のリファレンスセルの閾値は、上記のような0Vよりかなり高い値(例えば3.3V)に設定されている。このことから、低電圧化が進行し、例えば電源電圧3Vの場合、リファレンスセルのトランジスタは、ワード線電圧が電源電圧において、常にオフした状態になり、正確なベリファイおよび読み出しが行えない。従って、通常、このような低電圧電源下での読み出し等の動作は、ワード線電圧を昇圧して行われる。この方法の場合、ワード線を昇圧するタイミングが微妙なため、アクセスタイム等の高速化が困難である。さらに、ワード線を昇圧する回路が必要になり、そこでの電流消費が問題となり、低電圧化を進めるためにはリファレンスセルの閾値を少なくとも電源電圧より低い値に設定することが望まれている。

【0016】しかし、チップ一括消去の場合、メモリ容量が増加し、メモリアレイの面積が増加すると、閾値のバラツキはより顕著になると予想され、上記のようなリファレンスセルの閾値を低くすることは困難である。

【0017】チップ一括消去型の場合におけるこの問題を解決する手段の1つとして、チップをブロックに細分化する方法が挙げられる。この方式についての1例としては、“A60ns 16Mb Flash EEPROM with Program and Erase Sequence Controller” IS SCC Tech Dig. P260 (1991) 或は、特開平6-139785号公報で述べられている。

【0018】図7に、ここで述べられているブロック分割型のフラッシュメモリアレイ部のブロック図を示す。図から分かるようにソースが分割され、分割されたソースSL₁, ..., SL_nには、個々に独立した電圧を印加出来る消去回路33₁, ..., 33_nが接続されている。消去は、消去信号Eがそれぞれ消去回路に入力され、ソースにV_{pp}が印加される。ベリファイにより消去されたと判断されたブロックの消去回路は非活性となり、そのブロックにはV_{pp}は印加されない。このことから、この方式により余分な消去がされなくなる。この場合、消去ベリファイの手法が消去時間に大きな影響を及ぼす。このメモリアレイ構成を用いたものに、上記した図4のようなベリファイ動作を用いた場合、同一のブロック内アドレスに消去不十分のセルが検出されたブロックのみ同時に消去パルスが印加されることにより非常に効率が悪くなる。そこで、1本のワード線上のメモリセルについてすべてのベリファイを行った後、消去不十分のセルを含むブロックに消去パルスが印加されるように構成されている。この方法を用いた場合、閾値の分布が2.2eVから1.5eVまでタイトにできると述べている。このようにブロックの分割を細分化することによ

り閾値の分布（バラツキ）をタイトにできる。

【0019】しかしながら、このように細分化した場合、ソースを分割する結果となり、フラッシュメモリの特長である共通ソースを用いることによるアレイ面積の縮小化が困難になる。図7で示したような1Mブロックのフラッシュメモリにおいて8ブロック（ $k=8$ ）に分割した場合、通常のブロック分割型のフラッシュメモリで用いられているブロック構成方法を用いると、レイアウト面積はソース共通型のものを形成するのに比べて約25%大きくなる。

【0020】従来では消去のバース印加は図8のような電圧条件で行われる。この場合、消去バースはソース電圧を12Vまで高め、すべてのワード線電圧は0V一定である。また、図3、図7のアレイ構成から分かるように上記バースはソース共通なセル全てに印加される。

【0021】メモリアレイのレイアウト面積を増加させることなく、微細化する一つの方式として、消去時、ワード線に負の電圧を印加し、データを消去する方法がある。ソースを2重拡散にする必要がないため、その分セルを小さくすることが可能となるものである。

【0022】この場合、図3に示すアレイ構成に於いて、図9に示すように、ソース電圧を6Vに、ワード線電圧を-10Vにしている。この条件に於いて、フラッシュメモリセルはフローティングゲートとソース間に十分に電界が生じ、電子が引き抜かれ、消去される。

【0023】従来、この負電圧消去型のフラッシュメモリに於いて、メモリアレイの一括消去をする場合、全てのセルが消去されるまで、ソース電圧を6V、全てのワード線に-10Vを印加して一括消去する方式が用いられている。消去シーケンスは、図4と同様である。

【0024】

【発明が解決しようとする課題】しかし、この方式を用いた場合も、上記のような共通ソースに高電圧を印加して消去する方法と同様に、全てのセルが消去されるまで、消去バースが印加されることから、メモリアレイ内のセルの特性にバラツキがあると、閾値の分布が広がる。このことから、上記のように低電圧電源下における読み出し及びベリファイ時には、ワード線の昇圧が必要になり、アクセス速度の高速化が容易でなくなる。さらに昇圧回路での電力消費が多くなる。

【0025】

【課題を解決するための手段】本発明は上記したような全メモリセルの全てのソースが共通に接続されて一括消去を行うフラッシュメモリにおいて、消去が終了したと判断したセクタ（最小、ワード線1本単位）へのワード線消去電圧印加を禁止する。さらに、それらのセルは、共通ソースに正の電圧が印加されるため半消去状態となる。この半消去状態による閾値電圧の低下を防止するために、それらのワード線に正の電圧を印加する。

【0026】すなわち、本発明の不揮発性半導体記憶装置の消去制御方法は、フローティングゲート型MOSトランジスタがマトリクス状に配列され、同一行のトランジスタのコントロールゲートが共通接続されて、ワード線を構成し、同一列のトランジスタのドレインが共通接続されて、ビット線を構成し、すべてのトランジスタのソースが共通接続されたメモリセルアレイを有し、消去時には、上記ワード線に所定の第1電圧を印加し、上記共通接続されたソースに所定の第2電圧を印加して一括消去を行う構成の不揮発性半導体記憶装置の消去制御方法において、上記ワード線に上記所定の第1電圧を印加し、上記共通接続されたソースに上記所定の第2電圧を印加して、全消去動作を実行した後、各メモリセルトランジスタの閾値電圧が所定値より低くなったか否かを判定し、接続されるすべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなったワード線又はワード線群については、上記所定の第1電圧の印加を禁止し、それ以外のワード線又はワード線群に上記所定の第1電圧を印加すると共に、上記共通接続されたソースに上記所定の第2電圧を印加して、部分消去を実行し、その後、各メモリセルトランジスタの閾値電圧が所定値より低くなったか否かを判定し、すべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなるまで、上記部分消去動作と判定動作とを実行することを特徴とするものである。

【0027】また、本発明の不揮発性半導体記憶装置の消去制御方法は、上記の消去制御方法において、接続されるすべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなったワード線又はワード線群については、消去禁止電圧を印加することを特徴とするものである。

【0028】更に、本発明の不揮発性半導体記憶装置の消去制御方法は、接続されるすべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなったワード線又はワード線群に印加される上記消去禁止電圧が、上記共通接続されたソースに印加される上記所定の第2電圧と同一極性の電圧であることを特徴とするものである。

【0029】更に、本発明の不揮発性半導体記憶装置の消去制御方法は、接続されるすべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなったワード線又はワード線群に印加される上記消去禁止電圧が、上記共通接続されたソースに印加される上記所定の第2電圧と同一の電圧であることを特徴とするものである。

【0030】また、本発明の不揮発性半導体記憶装置の消去制御方法は、フローティングゲート型MOSトランジスタマトリクス状に配列され、同一行のトランジスタのコントロールゲートが共通接続されて、ワード線を構成し、同一列のトランジスタのドレインが共通接続されて、ビット線を構成し、すべてのトランジスタのソースが共通接続されたメモリセルアレイを有し、消去時に

は、上記ワード線に所定の負電圧を印加し、上記共通接続されたソースに所定の正電圧を印加して一括消去を行う構成の不揮発性半導体記憶装置の消去制御方法において、上記ワード線に上記所定の負電圧を印加し、上記共通接続されたソースに上記所定の正電圧を印加して、全消去動作を実行した後、各メモリセルトランジスタの閾値電圧が所定値より低くなったか否かを判定し、接続されるすべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなったワード線又はワード線群については、上記所定の負電圧の印加を禁止し、それ以外のワード線又はワード線群に上記所定の負電圧を印加すると共に、上記共通接続されたソースに上記所定の正電圧を印加して、部分消去を実行し、その後、各メモリセルトランジスタの閾値電圧が所定値より低くなったか否かを判定し、すべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなるまで、上記部分消去動作と判定動作とを実行することを特徴とするものである。

【0031】また、本発明の不揮発性半導体記憶装置の消去制御方法は、上記の消去制御方法において、接続されるすべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなったワード線又はワード線群については、消去禁止電圧を印加することを特徴とするものである。

【0032】更に、本発明の半導体記憶装置の消去制御方法は、接続されるすべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなったワード線又はワード線群に印加される上記消去禁止電圧が、上記共通接続されたソースに印加される上記所定の正電圧と同一極性の正の電圧であることを特徴とするものである。

【0033】更に、本発明の不揮発性半導体記憶装置の消去制御方法は、接続されるすべてのメモリセルトランジスタの閾値電圧が上記所定値より低くなったワード線又はワード線群に印加される上記消去禁止電圧が、上記共通接続されたソースに印加される上記所定の正電圧と同一の電圧であることを特徴とするものである。

【0034】上記に示したように、ソースが共通なメモリアレイの一括消去において、すべてのセルが消去したと認識されたセクタ（ワード線又はワード線群）への消去パルス印加を禁止することにより、閾値が低い方へ変化しやすいセルは消去パルス印加が禁止されるため、それ以上閾値が低下することなく、結果的に閾値の分布をタイトに出来る。従って、消去セルの基準閾値を低下することを可能にし、低電圧電源化において、ワード線をブーストすることなく読み出しを可能にし、高速読み出し、低電力消費化を実現する。さらに、余分な消去を防止出来ることから、セルの寿命を長くすることが出来る。

【0035】

【発明の実施の形態】以下、本発明の実施形態について詳細に説明する。

【0036】図1に、本発明に用いるメモリアレイ部の構成図を示す。

【0037】メモリアレイの各メモリセルMCのソースは共通であり、共通ソース線SLは消去回路11に接続されている。消去信号Eはワードデコーダ12と消去回路11に入力される。ワードデコーダ12にはアドレス信号A6～A16、各セクタごとに入力される消去禁止信号inh0～inh254、さらに、コラムデコーダ13にデータ(D0～D7)、アドレス信号A0～A5が10 入力される。従って、ワード線WLはm本（例えばm=2048）、ビット線BLはn本（例えば512）を有している。

【0038】書き込み時、読み出し時の動作原理は従来のもと同様である。

【0039】消去時は、消去信号Eにより消去回路11が活性化され、共通ソースラインSLには正の電圧Vns（例えば6V）が印加される。さらに、消去信号Eによりワードデコーダ12から全てのワード線には負の電圧Vneg（例えば-10V）が出力される。従って、各セルの端子電圧はコントロールゲート電圧=Vneg、ソース電圧=Vns、ドレイン電圧=オープンである。ここで、ワード線負電圧消去型のフラッシュメモリにおいてはワード線への負電圧印加を消去パルスとする。

【0040】図10に、本発明に用いるワードデコーダの構成図を示す。図からわかるように、ワードデコーダは、印加電圧デコーダ部101、制御電圧デコーダ部102、ドライバ部103に分けられる。ワード線に印加される電圧は、印加電圧デコーダ部で出力された電圧を、さらに制御電圧デコーダ部で選択し、ドライバ部を通してワード線に電圧が印加される。図10中では、印加電圧デコーダからドライバ部へ入力される信号は、1本で図示しているが、実際のものでは、hvhxa、n 10 nvxaの2本がある。さらに、制御電圧デコーダ部からドライバ部へ入力される信号についても、図中では1本で示されているが、実際用いられる信号は、hvhgate、n nvgateの2本である。2048本のワード線を有する場合、印加電圧デコーダは8個、制御電圧デコーダは256個用意される。1つの制御電圧デコーダには8本のワード線が出力されており、これらにつながるセルをセクタ単位（512バイト）とする。

【0041】この印加電圧デコーダを実現する回路の一例を図11に示す。ナンドゲート111、112、113及び114、アンドゲート115、インバータ116及び117、並びにレベルシフタ118及び119により構成される。また、この回路の入力信号は、アドレス信号A、全ワード線選択信号AWLS及び消去信号Eである。さらに出力は、hvhxa及びnnvxaである。印加電圧デコーダが8個あるので、全体でhvhxa0～hvhxa7及び 50 nnvxa0～nnvxa7の出力信号がある。また、レベルシフ

タ118及び119の具体的な回路を、それぞれ図12及び図13に示す。

【0042】消去時に於いては、アドレス信号の状態にかかわらず、全ワード線選択信号AWLS及び消去信号Eは5Vになり、ナンドゲート112は5Vになる。アンドゲート115及びナンドゲート113の出力は共に0Vになり、ナンドゲート114の出力は5Vになる。消去時には、レベルシフタ118の $V_{pp}/V_{inh}/V_{cc}$ の電圧は V_{inh} (3V) が選択される。入力信号が0Vなので、図12の回路からわかるように、hhvx 10は3V (V_{inh}) の電圧が出力される。また、消去時には、レベルシフタ119の V_{ss}/V_{neg} の電圧は V_{neg} (-10V) が選択される。したがって、図13の回路からわかるように、nnvxaは、-10V (V_{neg}) が出力される。

【0043】ベリファイ時には、全ワード線選択信号は0V、選択されたアドレスのアドレス信号Aが5Vになる。したがって、ナンドゲート111の出力は0V、ナ*

*ンドゲート112の出力は5Vになる。さらに、消去信号Eは0Vであるので、アンドゲート115及びナンドゲート113の出力は、それぞれ、0V及び5V、ナンドゲート114の出力は5Vになる。また、ベリファイ時には、 $V_{pp}/V_{inh}/V_{cc}$ の電圧は V_{cc} (5V) が選択され、 V_{ss}/V_{neg} の電圧は V_{ss} (0V) が選択されている。したがって、hhvxa及びnnvxaの出力は、それぞれ5V及び0Vになる。非選択時は、アドレス信号の内どれか若しくは全てが0Vになる。したがって、アンドゲート115及びナンドゲート113の出力は共に5Vになる。したがって、hhvxa及びnnvxaの出力は共に0Vになる (V_{ss}/V_{neg} の電圧は V_{ss} が選択されている)。

【0044】表1に、消去時及びベリファイ時の印加電圧デコーダ部の各信号の電圧を示す。

【0045】

【表1】

	A	AWLS	E	hhvxa	nnvxa
消去時	X	5V	5V	3V	-10V
ベリファイ時 (選択)	5V	0V	0V	5V	0V
ベリファイ時 (非選択)	0V	0V	0V	0V	0V

X : don't care

【0046】また、制御電圧デコーダとドライバ部を含む回路の一例を図14に示す。オアゲート141、ノアゲート142、インバータ143及びエクスクルーシブノアゲート144、レベルシフタ145及び146並びにドライバ147により構成される。また、この回路への入力信号は、アドレス選択信号 AS_1 、 AS_2 、全ワード線非選択信号 $AWNS$ 、消去禁止信号 inh 及び消去信号Eである。アドレス選択信号 AS_1 、 AS_2 は、外部からのアドレス信号がブリデコーダに入力され、そこで 40デコードされたものである。

これは第1～第255セクタのものに対する制御電圧デコーダである。第256セクタは、下記に示すように最終セクタなので、このセクタの消去が終了すれば、消去は終了ということになる。したがって、このセクタの消去を禁止する必要はない。従って、オアゲート141の入力信号である消去禁止信号 inh は0Vに接続されている。従って、消去禁止信号は $inh_0 \sim inh_{254}$ である。

【0047】消去時、ブリデコードされたアドレス選択 50

信号 AS_1 、 AS_2 は0V (V_{ss}) である。消去完了前、全ワード線非選択信号 $AWNS$ 及び消去禁止信号 inh は0Vで、オアゲート141の出力は0Vである。従って、ノアゲート142の出力は5V、また消去信号Eは5Vであるので、エクスクルーシブノアゲート144の出力は0Vになる。このとき、レベルシフタ145 (構成は、図12に示すレベルシフタ118と同一) の $V_{pp}/V_{inh}/V_{cc}$ の選択電圧は V_{inh} (3V) であり、したがって、出力 (hhvgate) は、図12からわかるように3Vである。一方、レベルシフタ146 (構成は、図13に示すレベルシフタ119と同一) の V_{ss}/V_{neg} の選択電圧は V_{neg} (-10V) が選択されており、図13からわかるように、出力nnvgateは-10V、nnvgateは3Vである。この時、上記したように、hhvxa、nnvxaはそれぞれ3V、-10Vである。図15にその構成を示すドライバ147では、 $V_{pp}/V_{inh}/V_{cc}$ 及び V_{ss}/V_{neg} の選択電圧は、消去時、それぞれ、 V_{inh} (3V) 及び V_{neg} (-10V) である。したがって、出力WLには、-

10Vの電圧が出力される。

【0048】一方、ベリファイ後に、消去が終了したと判断されたセクタは、対応する制御電圧デコーダに入力される消去禁止信号 inh が V_{cc} (5V) になる。

【0049】この消去禁止信号は図16に示す回路から発生している。A0P～A16Pはアドレス信号で、バッドから直接のアドレス信号である。A0～A16は内部アドレス信号で、ワードデコーダ、コラムデコーダ等に入力されている。また、CA0～CA16は17ビット同期式アドレスカウンタ161の出力であり、内部クロック信号により、アドレスが増加していく。消去禁止信号発生回路162は図17に示すようにCA9～CA16の8ビットの信号をデコードし、1セクタの消去が完了したと判断されるごとに消去禁止信号を順にセット(5V)していく機能を有している。

【0050】消去禁止信号は最初すべて0Vである。CA16～CA9の8ビットが00000001(01H)になった時(第1セクタの消去終了を示す)、消去禁止信号 $inhb0$ が5Vになり、図18にその構成を示す消去禁止信号ラッチ回路171。に5Vがラッチされ、 $inh0$ は5Vを出力する。この電圧は消去終了信号EEが入力されるまでは5Vに保たれる。このような回路は、インバータ181のn-MOSTランジスタ・チャネル抵抗を、インバータ182のp-MOSTランジスタのものより十分高く(例えば、図18中に示すような1とw)することにより得る事が出来る。

【0051】ベリファイが開始されると17ビット同期式カウンタ161へベリファイ開始信号VSRT(パルス)が入力される。内部クロック信号が入力され、カウンタは動作し、ベリファイが開始される。閾値が予想される値より高いセル、つまり消去不十分なセルが検出されるまで、カウンタのアドレス(CA0～CA16)が増加し、ベリファイは続けられる。

【0052】不十分なセルが検出された場合、ベリファイは中止され、ベリファイストップ信号VSTPが5Vになり、内部クロック信号は止まり17ビット同期カウンタのアドレスは増加しなくなる。

【0053】次に消去パルスが印加され、再度ベリファイが開始されると、ベリファイストップ信号VSTPは0Vになり、内部クロック信号が入力される。これにより同期カウンタのアドレスは再度増加し始める。上記したように第1セクタの消去が終了すると消去禁止信号 $inh0$ が5Vにセットされる。

【0054】第255セクタの消去が終了と判定されると $inh254$ が5Vにセットされる。さらに第256セクタ(最終セクタ)の消去が終了すると、そこで消去が終了し、消去終了信号EEが5Vになり、消去禁止信号ラッチ回路がリセットされる。従って、最終セクタの消去を禁止する信号は必要ない。したがって、最終セクタに対応する制御電圧デコーダのオアゲート141の入力信号である消去禁止信号 inh は0Vに接続されている(消去禁止信号は $inh0 \sim inh254$ である)。

【0055】以上のようにして消去禁止信号は出力される。

【0056】消去禁止信号が入力されると、オアゲート141及びノアゲート142の出力は、それぞれ、5V及び0Vになり、エクスクルーシブノアゲート144の出力は5Vに変化し、レベルシフタ145の出力 $hhvqate$ は0V、レベルシフタ146の出力 $nnvqate$ 及び $nnvqateb$ は、それぞれ、-10V及び3Vになり、WLには消去禁止電圧3Vが出力される。この消去禁止電圧は、上記消去条件の場合2V～4V程度であればよい。

【0057】ベリファイ時、アドレスが選択された場合、アドレス選択信号 AS_1, AS_2 は0Vになる。また、全ワード線非選択信号 $AWNS$ および消去禁止信号 inh は0Vで、オアゲート141の出力は0Vである。ノアゲート142の出力は5Vであり、消去信号Eは0Vであるので、エクスクルーシブノアゲート144の出力は5Vになる。レベルシフタ145及び146の選択電圧は、それぞれ V_{cc} 及び V_{ss} 、さらに、ワードドライバ147の選択電圧は V_{pp} 、 V_{ss} が選択される。したがって、 $hhvqate$ 、 $nnvqate$ 及び $nnvqateb$ は、それぞれ0V、0V及び5Vになり、また、 $hhvxa$ 及び $nnvxa$ は、それぞれ5V及び0Vであるので、ワード線WLには5Vが出力される。一方、非選択の場合、アドレス選択信号のどれかが5Vになり、ノアゲート142の出力は0Vになる。エクスクルーシブノアゲート144の出力は0Vであるので、レベルシフタ145及び146の出力 $hhvqate$ 及び $nnvqate$ 、 $nnvqateb$ は、それぞれ5V及び5V、0Vになり、ワード線WLには0Vが出力される。

【0058】表2に制御電圧デコーダの消去時の各信号の電圧を示す。

【0059】

【表2】

	AS ₁	AS ₂	AWNS	inh	hvgate	nvgate	nvgateb	WL
消去完了前セクタ	0V	0V	0V	0V	3V	3V	-10V	-10V
消去完了セクタ	0V	0V	0V	5V	0V	-10V	3V	3V
ベリファイ時 (選択)	0V	0V	0V	0V	0V	0V	5V	5V
ベリファイ時 (非選択)	5V	5V	0V	0V	5V	5V	0V	0V

【0060】図19に、本発明に適用される消去シーケンスを示す。コマンドを受け、消去が開始されると、従来のフラッシュメモリと同様に過消去を防止するための消去前書き込みを行う。したがって、消去パルス印加前のセル状態は図20に示すように全て書き込み状態である。次に、消去パルスを全てのセルに印加する。

【0061】消去が開始されると、最初に共通ソースラインに+6Vの電圧が印加され、消去セットアップ状態にはいる。次に、消去信号が5Vになるとともに全ワード線選択信号が0Vになり、上記したように全てのワード線には-10Vが出力される(消去パルス印加)。これにより全てのセルの閾値は低下する。ベリファイ時には上記したように、選択されたワード線には5V、非選択ワード線には0Vが出力される。これにより、最初、先頭アドレスからベリファイを行い消去不十分なセルが検出された時点でベリファイを中止し、再度、消去パルスを印加する。

【0062】次のベリファイ動作はそのセルから開始する。図21に示すように先頭の第1セクタ(この場合、ワード線WL0~WL7につながるセル:512B)がイレース完了と判定されると、図10に示す制御電圧デコーダ102。の消去禁止信号が5Vになる。したがって、次の消去パルス印加では、制御電圧デコーダ102。につながるワード線WL0~WL7は、上記したような回路動作により、消去禁止電圧3Vが出力し、これらのワード線につながるセルの閾値はこれ以上低下しない。

【0063】一方、図21のように、第2セクタのワード線WL8に消去不十分なセルが存在しているので、ワード線WL8~WL2047には-10Vが出力し、消去パルスが印加され、これらのワード線につながるセルの閾値はさらに低下する。この動作は最終セクタ(第256セクタ)のものが終了するまで繰り返される。一度消去が終了したと判定されたセクタには、上記に示したように、ワード線には-10Vが出力されず消去パルス

は印加されない。

【0064】また、図1に示す、本発明に用いるメモリアレイ部の構成に於いて、消去時にソースに対し高電位V_{pp}(例えば、12V)、コントロールゲートに低電圧(例えば、0V)を印加し、ドレインをフローティング状態に設定する場合に於いても、消去完了セクタに対して、その消去禁止信号を設定し、ワード線に消去禁止電圧として高電圧V_{pp}を印加し、消去電圧の印加を禁止することが可能となる。これにより、閾値の分布をタイトにすることが可能となる。

【0065】更に、上述の実施の形態に於いては、セクタ(8ワード線)単位で消去禁止の制御を行っているが、ワード線単位の制御としてもよい。また、セクタを構成するワード線数も任意の本数を設定できることは言うまでもない。

【0066】また、最初の全セル消去動作を実行した後、すべてのセクタについてベリファイを実行し、最初の消去動作で消去が十分に行われなかったセルを含むセクタについてのみ、二度目の消去動作を実行し、すべてのセルの消去が完了したセクタについては消去禁止信号により、以降の消去電圧の印加を禁止する構成としてもよい。この場合、二度目の消去動作完了後、二度目の消去動作を行ったすべてのセクタについてベリファイを実行し、その結果、すべてのセルの消去が完了したセクタについては以降の消去電圧の印加を禁止し、以降、同様の処理を繰り返して全セクタの消去を完了する。

【0067】

【発明の効果】以上詳細に説明したように、本発明によれば、閾値の分布をタイトにすることが可能となるため、その結果として、消去用リファレンスセルの閾値を低下させることができ、低電圧電源化において、ワード線をブーストすることなく読み出しを可能にし、高速読み出し、低電力消費化を実現できるものである。

【図面の簡単な説明】

【図1】本発明に用いるメモリアレイ部の構成図であ

る。

【図2】ETOX型メモリセルの断面図である。

【図3】従来技術に用いるソース共通型メモリアレイ部の構成図である。

【図4】従来技術に於ける消去シーケンスを示す図である。

【図5】消去後のメモリセルの閾値分布を示す図である。

【図6】過剰消去が生じた場合のメモリセルの閾値分布を示す図である。

【図7】従来技術に用いるソース部ブロック分割型のメモリアレイ部の構成図である。

【図8】高電圧消去方式の場合の消去パルスを示す図である。

【図9】ワード線負電圧消去方式の場合の消去パルスを示す図である。

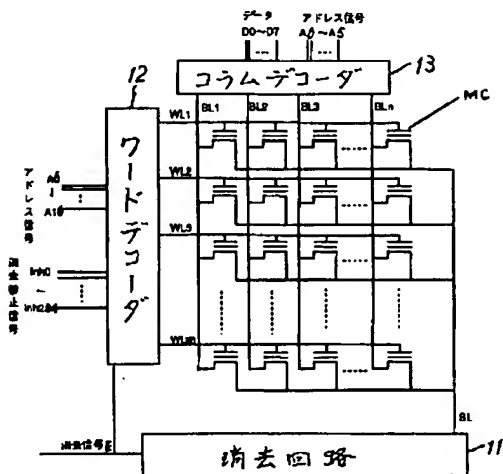
【図10】本発明に用いるワードデコーダの構成図である。

【図11】本発明に用いるワードデコーダ内の印加電圧デコーダの回路図である。

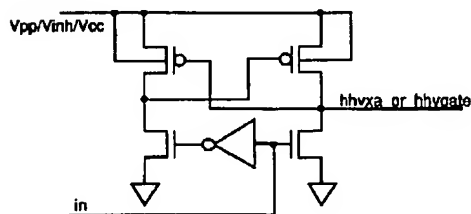
【図12】レベルシフターの回路図である。

【図13】レベルシフターの回路図である。

【図1】



【図12】



*【図14】本発明に用いるワードデコーダ内の制御電圧デコーダの回路図である。

【図15】本発明に用いるワードデコーダ内のワード線ドライバの回路図である。

【図16】ベリファイ時の内部アドレス信号と消去禁止信号を発生する回路を示す図である。

【図17】消去禁止信号発生回路の回路図である。

【図18】消去禁止信号ラッチ回路の回路図である。

【図19】本発明における消去シーケンスを示す図である。

【図20】消去前書き込み終了後のメモリセルの状態を示す図である。

【図21】消去途中のメモリセルの状態を示す図である。

【符号の説明】

MC メモリセル

WL₁, ..., WL_n ワード線

BL₁, ..., BL_n ビット線

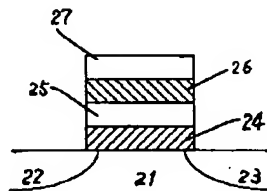
SL 共通ソース線

20 11 消去回路

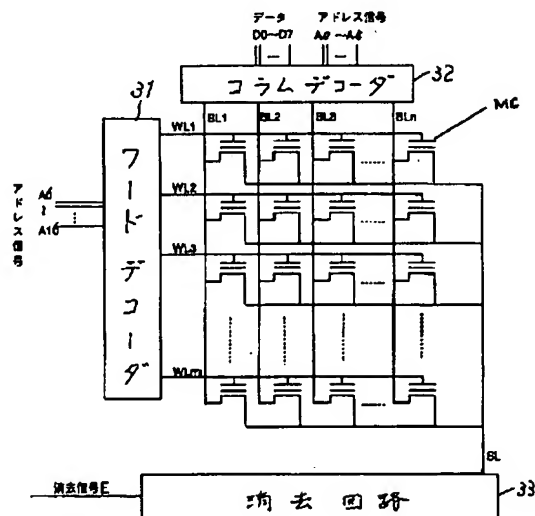
12 ワードデコーダ

* 13 コラムデコーダ

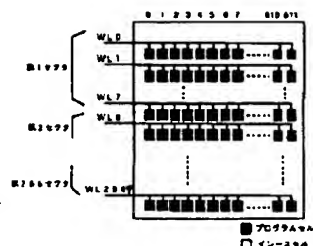
【図2】



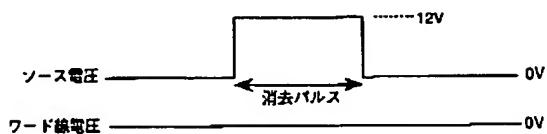
【図3】



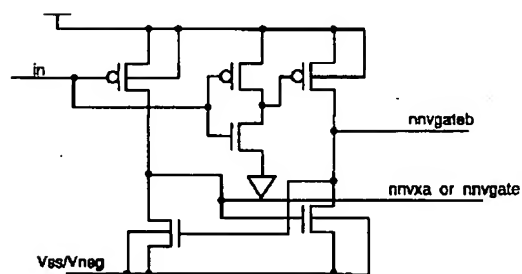
【图 20】



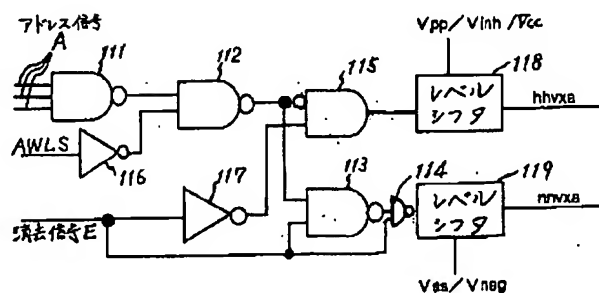
【図7】



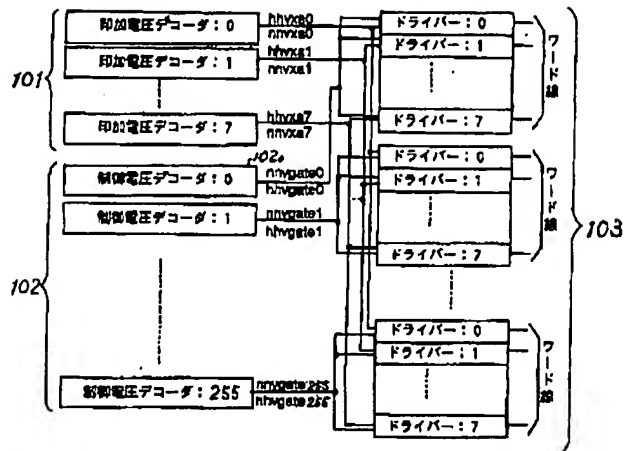
【☒ 13】



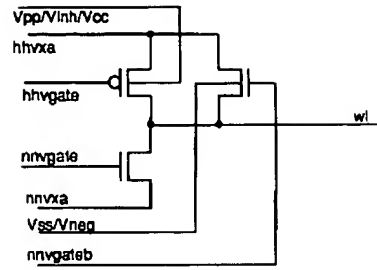
【圖 1 1】



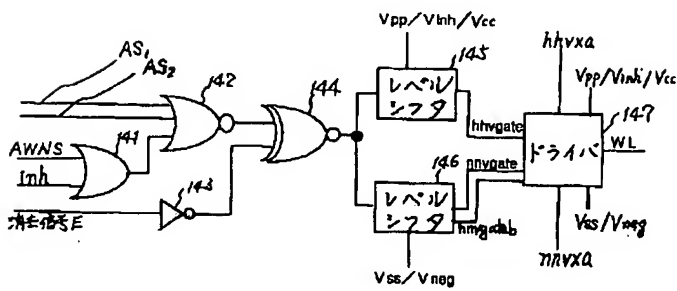
【図10】



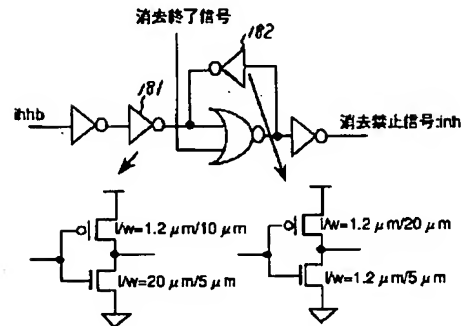
【図15】



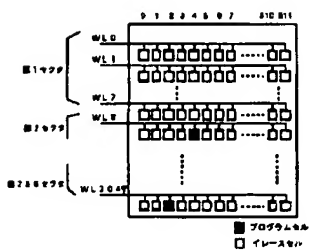
【図14】



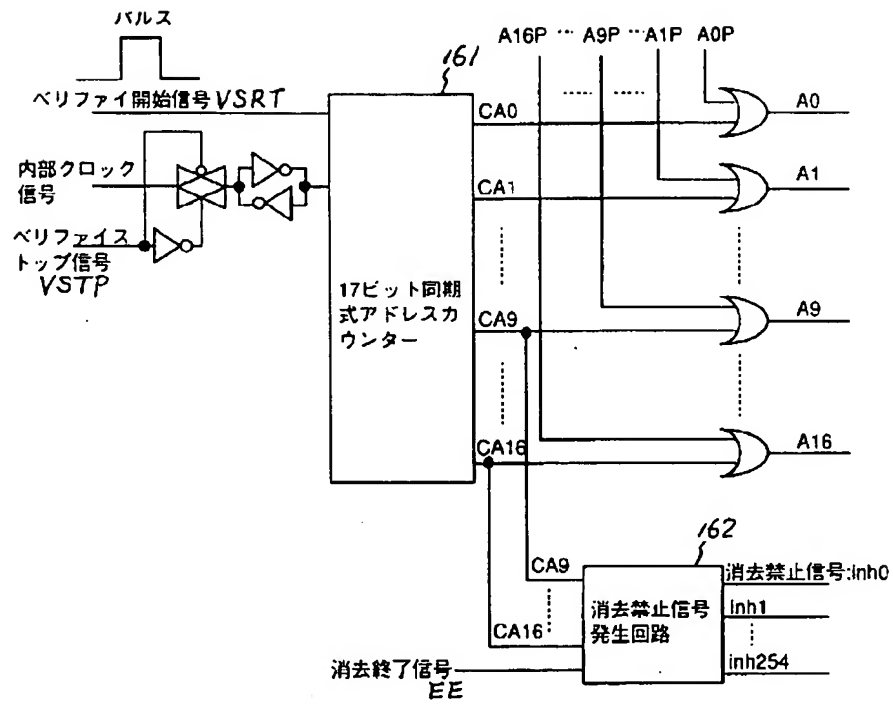
【図18】



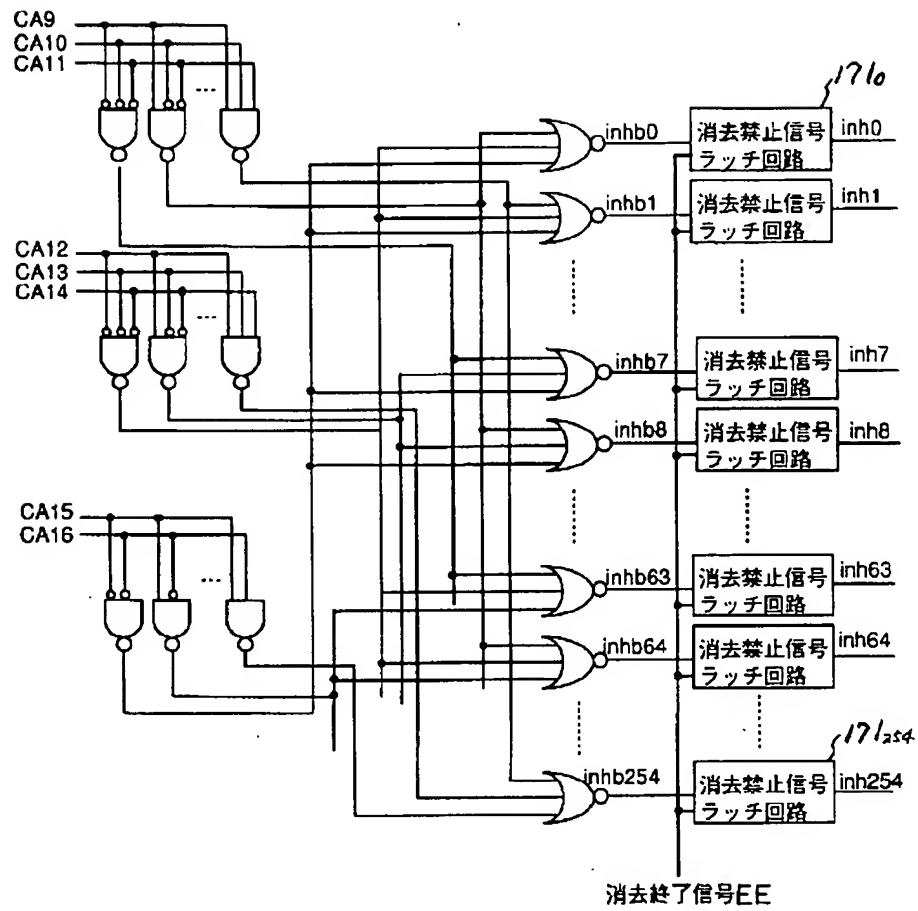
【図21】



【図16】



【図17】



【図19】

